

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-078821

(43)Date of publication of application : 20.03.1995

(51)Int.Cl. H01L 21/3205
H01L 21/28

(21)Application number : 05-222959

(71)Applicant : NEC CORP

(22)Date of filing : 08.09.1993

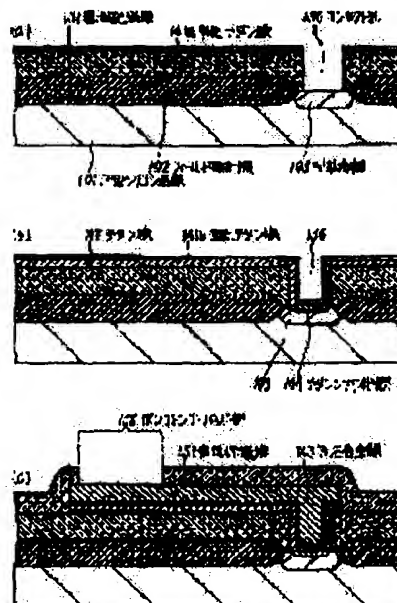
(72)Inventor : HAYASHI JUN
YAMANAKA MASAKO

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To provide a semiconductor device and its manufacturing method wherein the adhesion between an upper layer wiring where a bonding pad part is formed and a layer insulating film turning to the base of the upper layer wiring is excellent, and the contact resistance between the upper layer wiring and a lower layer wiring can be restrained to be low.

CONSTITUTION: An upper layer wiring where a bonding pad part 156 is formed constitutes a structure wherein a titanium nitride film 141a, a titanium film 142, a titanium nitride film 141b and an aluminum alloy film 143 are laminated on the upper surface of a layer insulating film 131. In a contact hole 136, a titanium silicide film 144, the titanium film 142, the titanium nitride film 141b and the aluminum alloy film 143 are laminated.



LEGAL STATUS

[Date of request for examination] 24.03.1994

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2596331

[Date of registration] 09.01.1997

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right] 09.01.2001

Copyright (C); 1998,2000 Japan Patent Office

CLAIMS

[Claim(s)]

[Claim 1] The semiconductor device characterized by providing the following. The silicon substrate which has the field oxide film alternatively prepared in the front face. The lower layer wiring layer prepared in the aforementioned silicon-substrate front face at least, the connection which covers the aforementioned silicon substrate and the aforementioned lower layer wiring layer, and reaches a predetermined part at this lower layer wiring layer -- the layer insulation film which has a hole It has the laminated structure which comes to include this layer insulation film upper surface the titanium-nitride film of a wrap 1st, a titanium film, the 2nd titanium-nitride film, and an aluminum system metal membrane on the aforementioned layer insulation film upper surface at least directly, the aforementioned connection -- this titanium film in a hole and -- this -- the 2nd titanium-nitride film and this aluminum system metal membrane the laminated structure which it comes to contain at least, and a titanium-alloy film -- and -- this -- the laminated structure which comes to contain the 2nd titanium-nitride film and this aluminum system metal membrane at least or a titanium-alloy film, and this titanium film -- and -- this -- the 2nd titanium-nitride film and this aluminum system metal membrane The bonding pad section which consists of this upper wiring portion exposed by opening and this opening which reach the aforementioned upper wiring in which the upper wiring which has the laminated structure which it comes to contain at least, and the aforementioned layer insulation film and the aforementioned upper wiring were formed by the wrap surface-protection film and the aforementioned surface-protection film.

[Claim 2] The semiconductor device according to claim 1 characterized by the bird clapper from the silicon-oxide film with which the upper surface contains at least the nitrogen of the aforementioned layer insulation film which has not carried out a chemical bond to silicon.

[Claim 3] The manufacture method of a semiconductor device characterized by providing the following. The process which forms a field oxide film alternatively on the surface of a silicon substrate. The process which forms a lower layer wiring layer in the aforementioned silicon-substrate front face at least. The process which forms a wrap layer insulation film for the aforementioned silicon substrate and the aforementioned lower layer wiring layer, and

forms the titanium-nitride film of a wrap 1st for this layer insulation film. The predetermined titanium-nitride film and the aforementioned predetermined layer insulation film of the above 1st of a part are *****ed one by one, the connection which reaches the aforementioned lower layer wiring layer -- with the process which forms a hole, and the process which forms a titanium film and the 2nd titanium-nitride film in the whole surface one by one, and forms an aluminum system metal membrane in the whole surface at least further The process of a predetermined part which *****s the aforementioned aluminum system metal membrane at least, *****s the titanium-nitride film of the above 2nd of a part further predetermined [this], the aforementioned titanium film, and the titanium-nitride film of the above 1st one by one, and forms the upper wiring, The process which forms a surface-protection film in the whole surface, and forms opening which *****s this surface-protection film of a predetermined part, and reaches the aforementioned upper wiring.

[Claim 4] The manufacture method of a semiconductor device characterized by providing the following. The process which forms a field oxide film alternatively on the surface of a silicon substrate. The process which forms a lower layer wiring layer in the aforementioned silicon-substrate front face at least. The process which forms in the whole surface the layer insulation film with which the upper surface consists of a silicon-oxide film formed by the plasma CVD method which used silane system gas and dinitrogen-oxide gas as the raw material at least, the process which processes the upper surface of the aforementioned layer insulation film by nitrogen plasma, and the connection which etches the aforementioned layer insulation film of a predetermined part, and reaches the aforementioned lower layer wiring layer -- with the process which forms a hole The process which forms a titanium film and a titanium-nitride film in the whole surface one by one, and forms an aluminum system metal membrane in the whole surface at least further, The process which forms at least the aforementioned aluminum system metal membrane, the aforementioned titanium-nitride film and the process that *****s the aforementioned titanium film one by one at least, and forms the upper wiring, and opening which forms a surface-protection film in the whole surface, *****s this surface-protection film of a predetermined part, and reaches the aforementioned upper wiring of a

predetermined part.

[Claim 5] The manufacture method of a semiconductor device characterized by providing the following. The process which forms a field oxide film alternatively on the surface of a silicon substrate. The process which forms a lower layer wiring layer in the aforementioned silicon-substrate front face at least. The process which forms in the whole surface the layer insulation film with which the upper surface consists of a silicon-oxide film formed by the plasma CVD method which used silane system gas and dinitrogen-oxide gas as the raw material at least, the connection which etches the aforementioned layer insulation film of a predetermined part, and reaches the aforementioned lower layer wiring layer -- with the process which forms a hole. The process which heat-treats by forming a titanium film and a titanium-nitride film in the whole surface one by one, The process which forms an aluminum system metal membrane in the whole surface at least, and a predetermined part at least. The aforementioned aluminum system metal membrane, the aforementioned titanium-nitride film, and the process that *****s the aforementioned titanium film one by one at least, and forms the upper wiring. The process which forms a surface-protection film in the whole surface, and forms opening which *****s this surface-protection film of a predetermined part, and reaches the aforementioned upper wiring.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] Especially this invention relates to the upper wiring with which the bonding pad section is prepared, and its manufacture method about a semiconductor device and its manufacture method.

[0002]

[Description of the Prior Art] The lower layer wiring layer (a diffusion layer, lower layer wiring, etc.) by which the semiconductor device formed in the silicon substrate was formed on the silicon-substrate front face or the silicon substrate, the connection which reaches the lower layer wiring layer in which these were prepared by the wrap layer insulation film and the layer insulation film -- with a hole (contact hole) It has the bonding pad section which comes to contain opening which reaches the upper wiring and the upper wiring in which the upper wiring and the layer insulation film were prepared by the wrap surface-protection

film and the surface-protection film. As for the semiconductor device, only the diffusion layer is formed by (the lower layer wiring layer in this case consisting only of a diffusion layer) or the diffusion layer, and lower layer wiring (the lower layer wiring layer in this case consists of a diffusion layer and lower layer wiring). the contact which connects the upper wiring and a lower layer wiring layer when a lower layer wiring layer consists of a diffusion layer and lower layer wiring -- the contact whose hole connects the upper wiring and lower layer wiring at least -- it has the hole. The above-mentioned semiconductor device is carried in a package, and two or more external lead sections of this package and desired electrical installation are performed further. Two or more bonding pad sections of the size the area of whose prepared in the above-mentioned upper wiring is 100 micrometer** grade are connected with each external lead section by the bonding line which consists of aluminum wire or a gold streak.

[0003] In order to realize high integration of a semiconductor device, line breadth, such as the upper wiring, is reduced. this -- following -- contact -- in the pars basilaris ossis occipitalis of a hole, the barrier layer is prepared between the upper wiring and the lower layer wiring layer. This is for suppressing the counter diffusion of the conductor film which constitutes the upper wiring, and the conductor matter which constitutes a lower layer wiring layer. Moreover, the upper wiring which makes an aluminum system metal a subject, for example is constituted by the cascade screen of a high-melting point metal membrane or a refractory-metal alloy film, and an aluminum system metal membrane in order to raise stress migration resistance (and electro migration resistance). In this case, the high-melting point metal membrane or the refractory-metal alloy film touches the upper surface of a layer insulation film, and directly. At the upper wiring which consists of such a laminated structure, it needs to be considered for the bonding pad section at the time of connecting the bonding (it consisting of aluminum-wire or gold streak) line for connecting with an external lead. When connecting the above-mentioned bonding line, this being a point about covering nature with a layer insulation film, the above-mentioned high-melting point metal membrane which constitutes the upper wiring, or a refractory-metal alloy film, and adding supersonic oscillation to the above-mentioned bonding pad section, the upper wiring of this portion may separate from a layer insulation film. One of the solutions to this problem is indicated by JP,3-127843,A.

[0004] If drawing 9 which is the cross section of a semiconductor device is referred to, the structure of a semiconductor device given [above-mentioned] in an open official report is as follows. The field oxide film 402 is formed in semiconductor substrate 401 front face. A wrap layer insulation film consists a field oxide film of a cascade screen of the wrap BPSG film 431 and the TEOS oxide film 433 directly in this field oxide film 402. The upper wiring is formed on the layer insulation film. Besides, layer wiring consists of a cascade screen of the titanium-nitride film 441 and the aluminum film 443 which contact the TEOS oxide-film 433 upper surface directly. Besides, layer wiring is covered by the surface-protection film 451, and the bonding pad section 456 which comes to contain opening which reaches the aluminum film 443 prepared in the surface-protection film 451 is formed. According to such structure, peeling from the layer insulation film of the upper wiring in the bonding pad section 456 at the time of connection of an above-mentioned bonding line is prevented. Moreover, by making a part for the management of a layer insulation film into the TEOS oxide film 433 has described that the adhesion of the titanium-nitride film 441 and a layer insulation film becomes high.

[0005]

[Problem(s) to be Solved by the Invention] In case a semiconductor device given [above-mentioned] in an open official report connects a bonding line to the bonding pad section of the upper wiring, the problem that the upper wiring separates from a layer insulation film is solved. in this case, the contact which reaches the lower layer wiring layer prepared in the layer insulation film -- in the pars basilaris ossis occipitalis of a hole, the titanium-nitride film which constitutes the upper wiring has the structure of contacting a lower layer wiring layer and directly however, the case where there is no titanium-nitride film at such upper wiring of structure -- comparing -- contact -- contact resistance with this upper wiring and the lower layer wiring layer which are connected through a hole becomes high before and after 2 figures

[0006] The method of constituting the upper wiring from structure which contained at least the cascade screen of three layers which consists of the titanium film, titanium-nitride film, and aluminum system metal membrane which contact the upper surface of a layer insulation film directly as a method of suppressing elevation of contact resistance is taken. the contact which reaches the lower layer wiring layer prepared in

the layer-insulation film in the upper wiring containing this three layer laminated structure -- the titanium film or the titanium-alloy film (titanium and conductor matter which constitutes a lower layer wiring layer) which constitutes the upper wiring has the structure contact a lower layer wiring layer and directly, and a titanium-nitride film has the structure where of it does not contact a lower layer wiring layer and directly, in the pars basilaris ossis occipitalis of a hole For this reason, elevation of contact resistance is suppressed. However, in the upper wiring containing such a three-layer laminated structure, in case a bonding line is connected to the bonding pad section of the upper wiring described previously, the problem that the upper wiring separates from a layer insulation film becomes very remarkable.

[0007] This invention persons studied the cause which becomes that it is easy to separate from the layer insulation film of the upper wiring at the time of connecting a bonding line to the bonding pad section in the upper wiring containing the above-mentioned three-layer laminated structure, and reported to it in the 1993 spring, the 40th applied-physics relation union lecture meeting, the collection of lecture drafts, and the 671st page (lecture number 29 p·ZY -3).

[0008] Here, the measuring method of direct peeling depended on the strength (destructive bond tensile test) of MIL SUPEKUKKU and 2011.method 4 bond. A layer insulation film is the following three kinds. The BPSG film by the reduced pressure CVD (the LPCVD method) which set A:TEOS to one of the raw materials, the silicon-oxide film by the plasma CVD method which set B:TEOS to one of the raw materials, and C; the silicon-oxide film by the plasma CVD method which used silane system gas and dinitrogen-oxide gas as the raw material. Moreover, the ultrasonic bonding was used as the bonding method, using aluminum wire as a bonding line. Thus, when the peeling incidence rate by the above-mentioned method was compared to the obtained sample, the result of A:B:C=7.1%:0.7%:0.0% was obtained. This peeling incidence rate has the strong correlation with a load at the time of peeling generating in the scratch test, and this invention persons have obtained the result that there is no problem practically, if a load is 53g or more in value at the time of peeling generating in the scratch test.

[0009] In addition, according to this invention persons' supplementary examination, when the upper wiring of the structure of the above-mentioned open official report is directly

formed in the upper surface of a BPSG film (that is, a layer insulation film consists only of a BPSG film), at the time of peeling generating in the scratch test, there is 90g or more of loads, and they have obtained the result that it is satisfactory practically.

[0010] If drawing 10 which is the cross section of a semiconductor device is referred to, the structure of the sample used for the scratch test of the above-mentioned report etc. is as follows. The field oxide film 502 is formed in P type silicon-substrate 501 front face, and this field oxide film 502 is covered with the layer insulation film 531 of about 600nm of thickness. This layer insulation film is the following three kinds like the sample used for the above-mentioned peeling incidence rate. The BPSG film by the LPCVD method which set A:TEOS to one of the raw materials, the silicon-oxide film by the plasma CVD method which set B:TEOS to one of the raw materials, and C; the silicon-oxide film by the plasma CVD method which used silane system gas and dinitrogen-oxide gas as the raw material. After forming the sample of the above-mentioned structure, rapid heat treatment for nitrogen atmosphere, 650 degrees C, and 30 seconds (Rapid Thermal Annealing:RTA) was performed, and the scratch test was performed. When the peeling generating load by difference of the above-mentioned layer insulation film was compared, a result of A:B:C=40.0g:50.2g:63.8g was brought.

[0011] If the interface of the titanium film 542 of the sample of the above-mentioned structure and the layer insulation film 531 is measured by X-ray photoelectron spectroscopy (X-ray Electron Spectroscopy:XPS), titanium oxide (TiOX (X=2-alpha)) exists and it is this TiOX. The result that the number of counts (CPS) per for 1 second was dependent on composition of the layer insulation film 531 was obtained. TiOX TiOX formed in the interface of the titanium film 542 and the layer insulation film 531 when drawing 11 which is the graph which shows the relation between XPS intensity and the peeling generating load of the scratch test was referred to It became clear that the peeling generating load of the scratch test is large, so that there were few amounts.

[0012] The purpose of this invention is to offer the semiconductor device (to put together as the composition structure of the upper wiring, and the composition structure of a layer insulation film especially) and its manufacture method of the structure [adhesion with the layer insulation film used as the ground of the upper wiring with which

the bonding pad section is formed, and this upper wiring is good, and] which can be low stopped by contact resistance with the upper wiring of a parenthesis, and a lower layer wiring layer.

[0013]

[Means for Solving the Problem] The silicon substrate which has the field oxide film by which the semiconductor device of this invention was alternatively formed in the front face, the connection which covers the lower layer wiring layer prepared in the above-mentioned silicon-substrate front face at least, and the above-mentioned silicon substrate and this lower layer wiring layer, and reaches a predetermined part at the above-mentioned lower layer wiring layer -- with the layer insulation film which has a hole It has the laminated structure which comes to include this layer insulation film upper surface the titanium-nitride film of a wrap 1st, a titanium film, the 2nd titanium-nitride film, and an aluminum system metal membrane on the above-mentioned layer insulation film upper surface at least directly. Furthermore the above-mentioned connection -- a hole -- this -- a titanium film And this the 2nd titanium-nitride film and this aluminum system metal membrane The laminated structure which comes at least to contain the laminated structure which it comes to contain at least, a titanium-alloy film, this 2nd titanium-nitride film, and this aluminum system metal membrane or a titanium-alloy film, this titanium film and this 2nd titanium-nitride film, and this aluminum system metal membrane The upper wiring which has the laminated structure which it comes to contain at least, and the above-mentioned layer insulation film and the above-mentioned upper wiring A wrap surface-protection film, It has opening which reaches the above-mentioned upper wiring formed in the above-mentioned surface-protection film, and the bonding pad section which consists of this upper wiring portion exposed by this opening.

[0014] Preferably, the upper surface consists of a silicon-oxide film containing the nitrogen of the above-mentioned layer insulation film which has not carried out a chemical bond to silicon at least.

[0015] The 1st mode of the manufacture method of the semiconductor device of this invention The process which forms a field oxide film alternatively on the surface of a silicon substrate, The process which forms a lower layer wiring layer in the above-mentioned silicon-substrate front face at least, and the process which forms a wrap layer insulation film for the above-mentioned silicon substrate and the above-mentioned lower layer wiring layer, and

forms the titanium-nitride film of a wrap 1st for this layer insulation film, The predetermined titanium-nitride film and the above-mentioned predetermined layer insulation film of the above 1st of a part are *****ed one by one, the connection which reaches the above-mentioned lower layer wiring layer -- with the process which forms a hole, and the process which forms a titanium film and the 2nd titanium-nitride film in the whole surface one by one, and forms an aluminum system metal membrane in the whole surface at least further The process of a predetermined part which *****s the above-mentioned aluminum system metal membrane at least, *****s the titanium-nitride film of the above 2nd of this predetermined part, the above-mentioned titanium film, and the titanium-nitride film of the above 1st one by one further, and forms the upper wiring, It has the process which forms a surface-protection film in the whole surface, and forms opening which *****s this surface-protection film of a predetermined part, and reaches the above-mentioned upper wiring.

[0016] The 2nd mode of the manufacture method of the semiconductor device of this invention The process which forms a field oxide film alternatively on the surface of a silicon substrate, The process which forms a lower layer wiring layer in the above-mentioned silicon-substrate front face at least, and the process which forms in the whole surface the layer insulation film with which the upper surface consists of a silicon-oxide film formed by the plasma CVD method which used silane system gas and dinitrogen-oxide gas as the raw material at least, the process which processes the upper surface of the above-mentioned layer insulation film by nitrogen plasma, and the connection which etches the above-mentioned layer insulation film of a predetermined part, and reaches the above-mentioned lower layer wiring layer -- with the process which forms a hole The process which forms a titanium film and a titanium-nitride film in the whole surface one by one, and forms an aluminum system metal membrane in the whole surface at least further, A predetermined part at least The above-mentioned aluminum system metal membrane, the above-mentioned titanium-nitride film, and the process that *****s the above-mentioned titanium film one by one at least, and forms the upper wiring, It has the process which forms a surface-protection film in the whole surface, and forms opening which *****s this surface-protection film of a predetermined part, and reaches the

above-mentioned upper wiring.

[0017] The 3rd mode of the manufacture method of the semiconductor device of this invention The process which forms a field oxide film alternatively on the surface of a silicon substrate, The process which forms a lower layer wiring layer in the above-mentioned silicon-substrate front face at least, and the process which forms in the whole surface the layer insulation film with which the upper surface consists of a silicon-oxide film formed by the plasma CVD method which used silane system gas and dinitrogen-oxide gas as the raw material at least, the connection which etches the above-mentioned layer insulation film of a predetermined part, and reaches the above-mentioned lower layer wiring layer -- with the process which forms a hole The process which heat-treats by forming a titanium film and a titanium-nitride film in the whole surface one by one, The process which forms an aluminum system metal membrane in the whole surface at least, and a predetermined part at least The above-mentioned aluminum system metal membrane, the above-mentioned titanium-nitride film, and the process that *****s the above-mentioned titanium film one by one at least, and forms the upper wiring, It has the process which forms a surface-protection film in the whole surface, and forms opening which *****s this surface-protection film of a predetermined part, and reaches the above-mentioned upper wiring.

[0018]

[Example] Next, this invention is explained with reference to a drawing.

[0019] Reference of drawing 1 which is the cross section of the manufacturing process of a semiconductor device manufactures the 1st example of this invention as follows.

[0020] First, the field oxide film 102 for isolation is alternatively formed in P type silicon-substrate 101 front face, and it is N+. Type diffusion layer 103 grade is formed. The lower layer wiring layer in this example is N+. It consists of type diffusion layer 103 grade. Deposition and the layer insulation film 131 which a reflow is carried out and consists of this BPSG film are formed in the whole surface for the BPSG film of predetermined thickness. The method of forming this layer insulation film 131 is the LPCVD method which set TEOS to one of the raw materials. By reactive sputtering, titanium-nitride film 141a of about 50nm of thickness which is the 1st titanium-nitride (TiN) film accumulates on the whole surface. next, well-known photolithography technology and RIE -- using -- N(it is lower layer wiring layer)+ the connection which reaches type

diffusion layer 103 grade -- the contact which is a hole -- a hole 136 is formed -- [drawing 1 (a)] In addition, as a layer insulation film, it may not be limited to a BPSG film and a silicon-oxide film, an oxidization silicon nitride film, silicon nitride films, or these cascade screens are sufficient.

[0021] Next, titanium-nitride film 141b of about 100nm of thickness which is the titanium (Ti) film 142 of about 30nm of thickness and the 2nd titanium-nitride film accumulates on the whole surface continuously by sputtering and reactive sputtering. then, alloying processing at predetermined temperature carries out -- having -- contact -- [drawing 1 (b)] in which the titanium-alloy film of titanium silicide film 144 grade is formed in the pars basilaris ossis occipitalis of a hole 136 this time -- contact -- in a hole 136, it is dependent on the thickness of the titanium film 142 at the time of membrane formation, and the conditions of this alloying processing whether the titanium film 142 remains [0022] In addition, when there is lower layer wiring which this alloying processing is for reducing contact resistance more, for example, consists of an aluminum system metal membrane, this alloying processing cannot be performed. at this time, reduction of contact resistance is aimed at only by aluminum alloy processing in the hydrogen atmosphere of the upper wiring formed behind -- this -- it comes to be alike in this case -- the stage of this aluminum alloy processing -- contact -- a titanium silicide film is not formed in the pars basilaris ossis occipitalis of a hole 136

[0023] Next, the aluminum containing alloy film 143 of predetermined thickness accumulates on the whole surface. This aluminum containing alloy film 143 is an aluminum system metal membrane, for example, is an alloy film which consists of aluminum-silicon-copper. Furthermore according to the purpose, you may deposit high-melting point metal membranes, such as a wrap tungsten film, a molybdenum film, a titanium tungsten film, and a tungsten silicide film, or a refractory-metal alloy film on the whole surface for this (illustration is not carried out) aluminum containing alloy film 143. Next, the upper wiring with which the above-mentioned aluminum containing alloy film 143, titanium-nitride film 141b, the titanium film 142, and titanium-nitride film 141a have the desired configuration which it *****s one by one and consists of these cascade screens is formed using well-known photolithography technology and RIE. Next, the surface-protection film 151 which consists of the silicon-oxide system insulator layer by the plasma CVD method, an oxidization silicon

nitride film, silicon nitride films, or these cascade screens accumulates on the whole surface. Aluminum alloy processing in hydrogen atmosphere is performed before membrane formation of this surface-protection film 151, or to the back. Then, opening of the size about 100 micrometer** which reaches the upper wiring is formed in the predetermined portion of this surface-protection film 151, the bonding pad section 156 which consists of this opening and the upper wiring which this exposed is formed, and the semiconductor device of this example is obtained [drawing 1 (c)].

[0024] In the 1st example of the above, silicon-nitride-film 141a which constitutes a part of upper wiring touches the upper surface of the layer insulation film 131 directly. For this reason, in case a bonding line is connected using supersonic oscillation etc. to the bonding pad section of the upper wiring, the problem that the upper wiring separates from the layer insulation film 131 is solved. That is, this silicon-nitride-film 141a is functioning on raising the adhesion of the upper wiring and a layer insulation film. In addition, even when the layer insulation film 131 consists of a BPSG film, there is 90g or more of loads at the time of peeling generating in the scratch test (it mentioned above like). moreover, contact -- N+ which is a lower layer wiring layer in a hole 136 The portion of the upper wiring which connects with the type diffusion layer 103 directly is the titanium silicide film 144. For this reason, elevation of contact resistance is inhibited. That is, existence of the titanium film 142 is functioning on reducing contact resistance with the upper wiring and a lower layer wiring layer. Silicon-nitride-film 141b which is the 2nd silicon nitride film is functioning as a barrier film between the aluminum and the lower layer wiring layers which are the main component of the upper wiring. Moreover, by this example, as mentioned above, since it is convenient for forming a high-melting point metal membrane or a refractory-metal alloy film on aluminum containing alloy film 143 front face in any way, the high upper wiring of stress migration resistance is obtained easily.

[0025] The 1st example of the above is applicable also to the semiconductor device which has a multilayer interconnection. Reference of drawing 2 which is the cross section of a semiconductor device constitutes the example of application to the multilayer interconnection of the 1st example of the above as follows.

[0026] The field oxide film 102 and N+ Type diffusion layer 103 grade prepares and the *****

P type silicon substrate 101 is covered with the 1st layer insulation film 111 which consists of a silicon-oxide film. this layer insulation film 111 -- N+ the contact which reaches type diffusion layer 103 grade -- the hole 116 is formed this contact -- the lower layer wiring 121 formed on the layer insulation film 111 through the hole 116 -- N+ It connects with the type diffusion layer 103 grade. This lower layer wiring 121 consists of for example, a polycrystal silicon film, a high-melting point metal membrane, a refractory-metal silicide film, or a refractory-metal polycide film. The upper surface of the layer insulation film 111 including this lower layer wiring 121 is being worn with the 2nd layer insulation film 131 which consists of a BPSG film. the contact which reaches the layer insulation film 131 at the lower layer wiring 121 -- a hole -- 136a is prepared this contact -- a hole -- the upper wiring is connected to the lower layer wiring 121 through 136a The structure of this upper wiring in the layer insulation film 136a upper surface is the structure where the laminating of titanium-nitride film 141a, the titanium film 142, titanium-nitride film 141b, and the aluminum containing alloy film 143 grade was carried out. contact -- a hole -- the structure of this upper wiring in 136a is the structure where the laminating of the titanium-alloy film 147, the titanium film 142, titanium-nitride film 141b, and the aluminum containing alloy film 143 grade was carried out

[0027] In advance of explanation of another example of this invention, the subsequent progress which used for the above-mentioned 1993 spring by this invention persons and the 40th applied-physics relation union lecture meeting to report as the foundation is described briefly.

[0028] The BPSG film by the LPCVD method which set A:TEOS to one of the raw materials in the above-mentioned report, the silicon-oxide film by the plasma CVD method which set B:TEOS to one of the raw materials, and C: TiOX of the interface of the three kinds of layer insulation films of a silicon-oxide film and the titanium film by the plasma CVD method which used silane system gas and dinitrogen-oxide gas as the raw material Its attention was paid. Although all the results shown in drawing 11 were data after RTA, the change in a load was not uniform at the time of peeling generating in a SUKURANCHI test before and after RTA. Namely, when layer insulation films were A and B, the load decreased at the time of peeling generating after RTA, and only when a layer insulation film was C, the load was increasing at the time of peeling generating after RTA. the cause which influences the value of

a load at the time of peeling generating -- TiOX it is -- although -- it thought that a cause should exist in others also from this, and its attention was paid to nitrogen [near / this / the interface] [0029] Although according to XPS nitrogen does not exist in a film when layer insulation films are A and B, when a layer insulation film consists of C, nitrogen exists in a film. Moreover, although there is almost no change of the quantity of nitrogen which makes TiN when the nitrogen which makes the silicon nitride (TiN) by XPS in RTA order is detected, and layer insulation films are A and B, when a layer insulation film is C, the quantity of nitrogen which makes TiN after RTA is increasing sharply. In addition, although the nitrogen which makes this TiN is detected [near the interface of a layer insulation film and a titanium film] when layer insulation films are A and B, this is considered to be the background which depends on a forming [in the titanium film upper surface] titanium-nitride film.

[0030] Another example of this invention explained below is a ***** thing at the knowledge acquired by detection of the nitrogen by these [XPS] etc.

[0031] Reference of drawing 3 which is the cross section of the manufacturing process of a semiconductor device manufactures the 2nd example of this invention as follows.

[0032] First, the field oxide film 202 for isolation is alternatively formed in P type silicon-substrate 201 front face, and it is N+. The type diffusion layer 203 is formed. Deposition and the lower layer layer insulation film 211 which a reflow is carried out and consists of this BPSG film are formed in the whole surface for the BPSG film of predetermined thickness. The nitrogen content silicon-oxide film 232 (about nitrogen content, it mentions later) of the predetermined thickness whose temperature which furthermore used silane system gas and dinitrogen-oxide (N₂O) gas as the raw material is the upper layer insulation film by the plasma CVD method in 350-degree-C order accumulates. Then, plasma treatment in about [500W] power and nitrogen atmosphere is performed, and the nitrogen plasma treatment layer 233 with a thickness of about 10-20nm is formed in the nitrogen content silicon-oxide film 232 above-mentioned front face [drawing 3 (a)].

[0033] next, the above-mentioned nitrogen plasma treatment layer 233, the predetermined nitrogen content silicon-oxide film 232, and the predetermined layer insulation film 211 of a portion ***** one by one -- having -- N+ the contact which reaches the type diffusion layer 203 -- a hole 236 is formed Then, the titanium film 242

of predetermined thickness and titanium-nitride film 241b of predetermined (it becomes 2nd titanium-nitride film as result) thickness accumulate on the whole surface continuously by sputtering and reactive sputtering. While performing sputtering of these series, titanium-nitride film 241c around 20nm is formed in the interface of the titanium film 242 and the above-mentioned nitrogen plasma treatment layer 233 for thickness [drawing 3 (b)]. Existence of this titanium-nitride film 241c is verified by XPS (explanation here is omitted). In addition, if it stands on the viewpoint of structure, this titanium-nitride film 241c will become the 1st titanium-nitride film.

[0034] Then, the aluminum containing alloy film 243 of predetermined thickness accumulates on the whole surface like the 1st example of the above. Furthermore according to the purpose, you may deposit a wrap high-melting point metal membrane or a refractory-metal alloy film on the whole surface for this aluminum containing alloy film 243. Next, the upper wiring with which the above-mentioned aluminum containing alloy film 243, titanium-nitride film 241b, the titanium film 242, and titanium-nitride film 241c have the desired configuration which it *****s one by one and consists of these cascade screens is formed. Next, the surface-protection film 251 accumulates on the whole surface. Aluminum alloy processing in hydrogen atmosphere is performed before membrane formation of this surface-protection film 251, or to the back. Then, opening of the size about 100 micrometer** which reaches the upper wiring is formed in the predetermined portion of this surface-protection film 251, the bonding pad section 256 which consists of this opening and the upper wiring which this exposed is formed, and the semiconductor device of this example is obtained [drawing 3 (c)].

[0035] Although a load is 63.8g and is smaller than the value of the 1st example of the above at the time of peeling generating in the scratch test in the stage of drawing 3 (b) of the 2nd example of the above, it has the value which is equal to utilization. Moreover, contact resistance can also be made low.

[0036] The following things will become clear if drawing 4 which is the graph which shows the atomic distribution by the Auger electron spectroscopy (Auger Electron Spectroscopy: AES) of the depth direction of the nitrogen content silicon-oxide film 232 in the 2nd example of the above is referred to.

[0037] First, this nitrogen content silicon-oxide film 232 in a membrane formation stage contains

several% of nitrogen [drawing 4 (a)]. Next, plasma treatment in nitrogen atmosphere is performed and the about 10-20nm layer with the still higher concentration of nitrogen (namely, nitrogen plasma treatment layer 233) is formed in the front face by the nitrogen content silicon-oxide film 232 [drawing 4 (b)]. Although not illustrated here, according to XPS measurement, the binding energy of this nitrogen that exists in the silicon-oxide film 232 has a different value from the binding energy of the nitrogen of a silicon nitride (it combined with silicon) (Si₃N₄). In this example, that by which titanium-nitride film 241c is formed on the nitrogen plasma treatment layer 233 which contained so much the nitrogen which has not been combined with silicon in this way in order to form the activity titanium film 242 chemically is conjectured. In addition, according to the experiment of this invention persons, even if it deposits a titanium film on the insulator layer containing nitrides, such as a silicon nitride film or an oxidization silicon nitride film, and it gives RTA further, a titanium-nitride film is not formed in the interface in these cases. That is, it has suggested that it is difficult to carry out a chemical bond although it is chemically called activity titanium to the nitrogen chemically combined with silicon.

[0038] The 2nd example of the above is also applicable to the semiconductor device which has a multilayer interconnection. Reference of drawing 5 which is the cross section of a semiconductor device constitutes the example of application to the multilayer interconnection of the 2nd example of the above as follows.

[0039] The field oxide film 202 and N⁺ Type diffusion layer 203 grade prepares and the ***** P type silicon substrate 201 is covered with the 1st layer insulation film 211 which consists of a BPSG film. The lower layer wiring 222 is formed on this layer insulation film 211. This lower layer wiring 222 consists of an aluminum system metal membrane, a high-melting point metal membrane, a refractory-metal silicide film, or a refractory-metal polycide film. The upper surface of the layer insulation film 211 including this lower layer wiring 222 is being worn with the nitrogen content silicon-oxide film 232. The nitrogen plasma treatment layer 233 is formed in this nitrogen content silicon-oxide film 232 front face.

[0040] the example of application of this 2nd example -- the connection between the upper wiring and a lower layer wiring layer -- there are two kinds of holes one of them -- contact -- hole 236a -- it is -- this -- the nitrogen plasma

treatment layer 233, the nitrogen content silicon-oxide film 232, and the layer insulation film 211 -- penetrating -- N+ The type diffusion layer 203 is reached. one [another] -- contact -- it is a hole 237, and this penetrated the nitrogen plasma treatment layer 233 and the nitrogen content silicon-oxide film 232, and has reached the lower layer wiring 222 these contacts -- the selective-growth conductor film 246 of predetermined height is formed in holes 236a and 237 This selective-growth conductor film 246 consists of aluminum, a tungsten, etc. the conductor film according to the blanket method etc. instead of this selective-growth conductor film 246 -- these contacts -- you may form in hole 236a and 237 The structure of this upper wiring in the nitrogen plasma treatment layer 233 upper surface is the structure where the laminating of titanium-nitride film 241c, the titanium film 242, titanium-nitride film 241b, and the aluminum containing alloy film 243 grade was carried out as well as the 2nd example of the above. The structure of this upper wiring in the selective-growth conductor film 246 upper surface is the structure where the laminating of the titanium film 242, titanium-nitride film 241b, and the aluminum containing alloy film 243 grade was carried out, similarly.

[0041] since titanium-nitride film 141a exists in the example of application of the 1st example of the above even if it adopts a multilayer interconnection -- contact -- after forming a hole, it was difficult to lay a conductor film under this by the selective-growth method or the blanket method therefore, the connection which connects directly the upper wiring and lower layer wiring (N+ diffusion layer 103) of the lowest layer -- installation of a hole was avoided For this reason, the occupancy area for such connection had left with the big thing. this -- comparing -- the example of application of the 2nd example of the above -- contact -- it becomes possible although the upper wiring and the lower layer wiring layer (N+ diffusion layer 203) of the lowest layer are directly connected also from it being easy to form selective-growth conductor film 246 grade in hole 236a and 237 so, the connection for [this example of application] adoption of a multilayer interconnection -- increase of the occupancy area of a hole is avoided and becomes very effective to detailed-izing of a semiconductor device, and high integration

[0042] Reference of drawing 6 which is the cross section of the manufacturing process of a semiconductor device manufactures the 3rd example of this invention as follows.

[0043] First, the field oxide film 302 for isolation is alternatively formed in P type silicon-substrate 301 front face, and it is N+. The type diffusion layer 303 is formed. By the plasma CVD method used as the raw material, the nitrogen content silicon-oxide film 332 of predetermined thickness deposits silane system gas and dinitrogen-oxide gas on the whole surface. next, the nitrogen content silicon-oxide film 332 of a predetermined part *****s -- having -- N+ the contact which reaches the type diffusion layer 303 -- a hole 336 is formed Next, the titanium film 342 of predetermined thickness and titanium-nitride film 341b of predetermined (it becomes 2nd titanium-nitride film as result) thickness accumulate on the whole surface continuously by sputtering and reactive sputtering [drawing 6 (a)]. In addition, unlike the 2nd example of the above, in this example, a titanium-nitride film is not clearly detected in the interface of the nitrogen content silicon-oxide film 332 in this stage, and the titanium film 342. This is considered depending on the content of the nitrogen of the nitrogen content silicon-oxide film 332. Moreover, a load is about 50.6g at the time of peeling generating in the scratch test in this stage.

[0044] next, RTA for nitrogen atmosphere, 650 degrees C, and 30 seconds -- a line -- ** thereby, titanium-nitride film 341c around 30nm (for details, it mentions later) is formed in the interface of the nitrogen (contact -- side attachment wall of hole 336 -- including) content silicon-oxide film 332, and the titanium film 342 for thickness (if it stands on the viewpoint of structure) This titanium-nitride film 341c becomes the 1st titanium-nitride film. moreover, contact -- a hole -- N+ in 336 pars basilaris ossis occipitalis [Drawing 6 (b)] by which the titanium silicide film 344 is formed in the interface of the type diffusion layer 303 and the titanium film 342.

[0045] Then, the aluminum containing alloy film 343 of predetermined thickness accumulates on the whole surface like the above 1st and the 2nd example. Furthermore according to the purpose, you may deposit a wrap high-melting point metal membrane or a refractory metal alloy film on the whole surface for this aluminum containing alloy film 343. Next, the upper wiring with which the above-mentioned aluminum containing alloy film 343, titanium-nitride film 341b, the titanium film 342, and titanium-nitride film 341c have the desired configuration which it *****s one by one and consists of these cascade screens is formed. Next, the surface-protection film 351 accumulates on the whole surface. Aluminum alloy processing in hydrogen atmosphere is performed before

membrane formation of this surface-protection film 351, or to the back. Then, opening of the size about 100 micrometer** which reaches the upper wiring is formed in the predetermined portion of this surface-protection film 351, the bonding pad section 356 which consists of this opening and the upper wiring which this exposed is formed, and the semiconductor device of this example is obtained [drawing 6 (c)].

[0046] At the time of peeling generating in the scratch test in the stage of drawing 6 (b) of the 3rd example of the above, although the value of a load is simpler for the manufacture method of this example than the manufacture method of the 2nd example of the above, it is larger than the value of the 2nd example of the above, and is 63.8g. Although this value is also smaller than the value of the 1st example of the above, it has the value which is equal to utilization. Moreover, contact resistance can also be made low. In addition, in this example, after depositing the nitrogen content silicon-oxide film 332, it is possible to perform plasma treatment in nitrogen atmosphere as well as the 2nd example of the above.

[0047] If drawing 7 which is the graph of the energy spectrum distribution of the nitrogen by XPS is referred to, formation of titanium-nitride film 341c in the stage in drawing 6 (b) in the 3rd example of the above will become clear. Existence of the nitrogen which has about 367eV binding energy specifies existence of a titanium nitride. The peak of this value is divided into two. One peak is a peak of titanium-nitride film 341b which exists from the first. It is proved [existence / other one peak] that titanium-nitride film 341c was newly formed in the titanium film 242 and the nitrogen content silicon-oxide film 332. In addition, the nitrogen which has about 399eV binding energy in the nitrogen content silicon-oxide film 332 is not nitrogen combined with silicon, as mentioned above.

[0048] The 3rd example of the above can also be applied to the semiconductor device which has a multilayer interconnection. Reference of drawing 8 which is the cross section of a semiconductor device constitutes the example of application to the multilayer interconnection of the 3rd example of the above as follows.

[0049] The field oxide film 302 and N+ Type diffusion layer 303 grade prepares and the ***** P type silicon substrate 301 is covered with the 1st layer insulation film 311 which consists of a BPSG film. The lower layer wiring 321 is formed on this layer insulation film 311. This lower layer wiring 321 consists of a polycrystal silicon film, a high-melting point metal membrane, a

refractory metal silicide film, or a refractory metal polycide film. The upper surface of the layer insulation film 311 including this lower layer wiring 321 is being worn with the nitrogen content silicon-oxide film 332.

[0050] the example of application of this 3rd example -- the connection between the upper wiring and a lower layer wiring layer -- there are two kinds of holes one of them -- contact -- hole 336a -- it is -- this -- the nitrogen content silicon-oxide film 332 and the layer insulation film 311 -- penetrating -- N+ The type diffusion layer 303 is reached. one [another] -- contact -- it is a hole 337, and this penetrated the nitrogen content silicon-oxide film 332, and has reached the lower layer wiring 321 these contacts -- the selective-growth conductor film 346 of predetermined height is formed in holes 336a and 337 This selective-growth conductor film 246 consists of a tungsten, polycrystal silicon, etc. the conductor film according to the blanket method etc. instead of this selective-growth conductor film 346 -- these contacts -- you may form in hole 336a and 337 The structure of this upper wiring in the nitrogen content silicon-oxide film 332 upper surface is the structure where the laminating of titanium-nitride film 341c, the titanium film 342, titanium-nitride film 341b, and the aluminum containing alloy film 343 grade was carried out as well as the 3rd example of the above. The structure of this upper wiring in the selective-growth conductor film 346 upper surface is the structure where the laminating of the titanium-alloy film 347, the titanium film 342, titanium-nitride film 341b, and the aluminum containing alloy film 343 grade was carried out.

[0051] the connection for [the example of application of the 3rd example of the above as well as the example of application of the 2nd example of the above] adoption of a multilayer interconnection -- increase of the occupancy area of a hole is avoided and is very effective to detailed-izing of a semiconductor device, and high integration

[0052]

[Effect of the Invention] It becomes possible for adhesion with the layer insulation film which serves as a ground of the upper wiring with which the bonding pad section is formed, and this upper wiring by adoption of this invention to become strong as explained above, and to suppress low contact resistance with this upper wiring and a lower layer wiring layer.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the cross section of the manufacturing process of the 1st example of this invention.

[Drawing 2] It is the cross section of the example of application of the 1st example of the above.

[Drawing 3] It is the cross section of the manufacturing process of the 2nd example of this invention.

[Drawing 4] It is drawing for explaining the 2nd example of the above, and is the graph which shows the atomic distribution of the depth direction of the layer insulation film by the Auger electron spectroscopy.

[Drawing 5] It is the cross section of the example of application of the 2nd example of the above.

[Drawing 6] It is the cross section of the manufacturing process of the 3rd example of this invention.

[Drawing 7] It is drawing for explaining the 3rd example of the above, and is the graph of the energy spectrum distribution of the nitrogen by XPS.

[Drawing 8] It is the cross section of the example of application of the 3rd example of the above.

[Drawing 9] It is the cross section of the conventional semiconductor device.

[Drawing 10] It is the cross section of another conventional semiconductor device.

[Drawing 11] It is drawing for explaining the trouble of the conventional semiconductor device.

[Description of Notations]

101,201,301,501 P type silicon substrate
 102 202,302,402,502 Field oxide film
 103,203,303 N+ Type diffusion layer
 111 131,211,311,531 Layer insulation film
 116,136,136a, 236,236a, 237,336,336a, and 337
 contact -- hole
 121,222,321 Lower layer wiring
 141a, 141b, 241b, 241c, 341b, 341c, 441,541b
 Titanium nitride film
 142,242,342,542 Titanium film
 143,243,343 Aluminum containing alloy film
 144,344 Titanium silicide film
 147,347 Titanium alloy film
 151,251,351,451 Surface protection film
 156,256,356,456 Bonding pad section
 232,332 Nitrogen content silicon oxide film
 233 Nitrogen Plasma Treatment Layer
 246,346 Selective growth conductor film
 401 Semiconductor Substrate
 431 BPSG Film
 433 TEOS Oxide Film
 443 Aluminum Film

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-78821

(43) 公開日 平成7年(1995)3月20日

(51) Int.Cl.⁶

識別記号

片内整理番号

F I

技術表示箇所

H 0 1 L 21/3205

21/28

3 0 1 T 7376-4M

R 7376-4M

H 0 1 L 21/ 88

S

N

審査請求 有 請求項の数 5 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願平5-222959

(22) 出願日 平成5年(1993)9月8日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 林 純

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 山中 理子

東京都港区芝五丁目7番1号 日本電気株式会社内

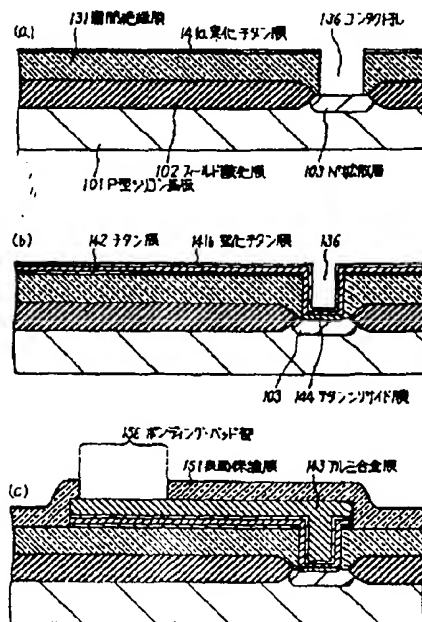
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【目的】 ボンディング・パッド部が形成される上層配線とこの上層配線の下地となる層間絶縁膜との密着性が良く、かつこの上層配線と下層配線層とのコンタクト抵抗が低く抑えることが可能な構造の半導体装置とその製造方法を提供する。

【構成】 ボンディング・パッド部156が形成される上層配線は、層間絶縁膜131上面では窒化チタン膜141a、チタン膜142、窒化チタン膜141bおよびアルミ合金膜143が積層された構造からなり、コンタクト孔136ではチタンシリサイド膜144、チタン膜142、窒化チタン膜141bおよびアルミ合金膜143が積層された構造からなる。



1

【特許請求の範囲】

【請求項 1】 表面に選択的に設けられたフィールド酸化膜を有するシリコン基板と、

少なくとも前記シリコン基板表面に設けられた下層配線層と、

前記シリコン基板および前記下層配線層を覆い、所定の個所に該下層配線層に達する接続孔を有する層間絶縁膜と、

前記層間絶縁膜上面では該層間絶縁膜上面を直接に覆う第 1 の窒化チタン膜およびチタン膜および第 2 の窒化チタン膜およびアルミ系金属膜を少なくとも含んでなる積層構造を有し、前記接続孔では該チタン膜および該第 2 の窒化チタン膜および該アルミ系金属膜を少なくとも含んでなる積層構造、チタン合金膜および該第 2 の窒化チタン膜および該アルミ系金属膜を少なくとも含んでなる積層構造、もしくはチタン合金膜および該チタン膜および該第 2 の窒化チタン膜および該アルミ系金属膜を少なくとも含んでなる積層構造を有する上層配線と、

前記層間絶縁膜および前記上層配線を覆う表面保護膜と、

前記表面保護膜に設けられた前記上層配線に達する開口部および該開口部により露出した該上層配線部分からなるボンディング・パッド部とを有することを特徴とする半導体装置。

【請求項 2】 前記層間絶縁膜の少なくとも上面が、シリコンと化学結合していない窒素を含有する酸化シリコン膜からなることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 シリコン基板の表面に選択的にフィールド酸化膜を形成する工程と、

少なくとも前記シリコン基板表面に下層配線層を形成する工程と、

前記シリコン基板および前記下層配線層を覆う層間絶縁膜を形成し、該層間絶縁膜を覆う第 1 の窒化チタン膜を形成する工程と、

所定の個所の前記第 1 の窒化チタン膜および前記層間絶縁膜を順次エッチングして、前記下層配線層に達する接続孔を形成する工程と、

全面にチタン膜と第 2 の窒化チタン膜とを順次形成し、さらに全面に少なくともアルミ系金属膜を形成する工程と、

所定の個所の少なくとも前記アルミ系金属膜をエッチングし、さらに該所定の個所の前記第 2 の窒化チタン膜、前記チタン膜および前記第 1 の窒化チタン膜を順次エッチングして上層配線を形成する工程と、

全面に表面保護膜を形成し、所定の個所の該表面保護膜をエッチングして前記上層配線に達する開口部を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 4】 シリコン基板の表面に選択的にフィール

2

ド酸化膜を形成する工程と、

少なくとも前記シリコン基板表面に下層配線層を形成する工程と、

少なくともその上面がシラン系ガスおよび 1 酸化 2 窒素ガスを原料にしたプラズマ CVD 法により形成される酸化シリコン膜からなる層間絶縁膜を、全面に形成する工程と、

前記層間絶縁膜の上面を窒素プラズマにより処理する工程と、

10 所定の個所の前記層間絶縁膜のエッチングを行ない、前記下層配線層に達する接続孔を形成する工程と、

全面にチタン膜と窒化チタン膜とを順次形成し、さらに全面に少なくともアルミ系金属膜を形成する工程と、

所定の個所の少なくとも前記アルミ系金属膜、前記窒化チタン膜および少なくとも前記チタン膜を順次エッチングして上層配線を形成する工程と、

全面に表面保護膜を形成し、所定の個所の該表面保護膜をエッチングして前記上層配線に達する開口部を形成する工程とを有することを特徴とする半導体装置の製造方法。

20

【請求項 5】 シリコン基板の表面に選択的にフィールド酸化膜を形成する工程と、

少なくとも前記シリコン基板表面に下層配線層を形成する工程と、

少なくともその上面がシラン系ガスおよび 1 酸化 2 窒素ガスを原料にしたプラズマ CVD 法により形成される酸化シリコン膜からなる層間絶縁膜を、全面に形成する工程と、

30 所定の個所の前記層間絶縁膜のエッチングを行ない、前記下層配線層に達する接続孔を形成する工程と、

全面にチタン膜と窒化チタン膜とを順次形成し、熱処理を行なう工程と、

全面に少なくともアルミ系金属膜を形成する工程と、

所定の個所の少なくとも前記アルミ系金属膜、前記窒化チタン膜および少なくとも前記チタン膜を順次エッチングして上層配線を形成する工程と、

全面に表面保護膜を形成し、所定の個所の該表面保護膜をエッチングして前記上層配線に達する開口部を形成する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置およびその製造方法に関し、特にボンディング・パッド部が設けられる上層配線とその製造方法に関する。

【0002】

【従来の技術】 シリコン基板に形成された半導体装置は、シリコン基板表面もしくはシリコン基板上に形成された下層配線層（拡散層、下層配線等）と、これらを覆う層間絶縁膜と、層間絶縁膜に設けられた下層配線層に

50

達する接続孔（コンタクト孔）と、上層配線と、上層配線および層間絶縁膜を覆う表面保護膜と、表面保護膜に設けられた上層配線に達する開口部を含んでなるボンディング・パッド部とを有している。半導体素子は、拡散層のみ（この場合の下層配線層は拡散層のみからなる）、もしくは拡散層と下層配線とにより（この場合の下層配線層は拡散層と下層配線とからなる）形成されている。下層配線層は拡散層と下層配線とからなる場合には、上層配線と下層配線層とを接続するコンタクト孔は、少なくとも上層配線と下層配線とを接続するコンタクト孔を有している。上記半導体装置は、パッケージに搭載され、さらにこのパッケージの複数の外部リード部と所望の電気的接続が行なわれている。上記上層配線に設けられたその面積が $100\mu\text{m}^2$ 程度の大きさの複数のボンディング・パッド部は、アルミ線あるいは金線からなるボンディング線によりそれぞれの外部リード部と接続されている。

【0003】半導体装置の高集積化を実現するために、例えば上層配線等の線幅が縮小されている。これに伴ない、コンタクト孔の底部においては、上層配線と下層配線層との間にバリア層が設けられている。これは、上層配線を構成する導電体膜と下層配線層を構成する導電体物質との相互拡散を抑制するためである。また、例えばアルミ系金属を主体とする上層配線は、ストレス・マイグレーション耐性（およびエレクトロ・マイグレーション耐性）を向上させるため、高融点金属膜もしくは高融点金属合金膜とアルミ系金属膜との積層膜により構成されている。この場合、高融点金属膜もしくは高融点金属合金膜が層間絶縁膜の上面と直接に接触している。このような積層構造からなる上層配線では、ボンディング・パッド部に外部リードと接続するための（アルミ線あるいは金線からなる）ボンディング線の結線を行なう際の配慮が必要である。これは層間絶縁膜と上層配線を構成する上記高融点金属膜もしくは高融点金属合金膜との接着性に関する点であり、上記ボンディング・パッド部に超音波振動を加えながら上記ボンディング線の結線を行なうときにこの部分の上層配線が層間絶縁膜から剥れることがある。この問題に対する解決策の1つが、例えば、特開平 3-127843号公報に開示されている。

【0004】半導体装置の断面図である図9を参照すると、上記公開公報記載の半導体装置の構造は、以下のようになっている。半導体基板401表面には、フィールド酸化膜402が設けられている。このフィールド酸化膜402を覆う層間絶縁膜は、フィールド酸化膜を直接に覆うBPSG膜431とTEOS酸化膜433との積層膜からなる。層間絶縁膜上には上層配線が設けられている。この上層配線は、TEOS酸化膜433上面に直接に接触する窒化チタン膜441とアルミ膜443との積層膜からなる。この上層配線は表面保護膜451に覆われ、表面保護膜451に設けられたアルミ膜443に

達する開口部を含んでなるボンディング・パッド部456が設けられている。このような構造により、上述のボンディング線の結線時のボンディング・パッド部456での上層配線の層間絶縁膜からの剥れが防止される。また、層間絶縁膜の上層部分をTEOS酸化膜433にすることにより、窒化チタン膜441と層間絶縁膜との密着性は高くなると記述している。

【0005】

【発明が解決しようとする課題】上記公開公報記載の半導体装置は、上層配線のボンディング・パッド部へボンディング線を結線する際に上層配線が層間絶縁膜から剥れるという問題は解決する。この場合、層間絶縁膜に設けられた下層配線層に達するコンタクト孔の底部において、上層配線を構成する窒化チタン膜が下層配線層と直接に接触する構造になっている。しかしながら、このような構造の上層配線では、窒化チタン膜の無い場合に比べて、コンタクト孔を介して接続されるこの上層配線と下層配線層とのコンタクト抵抗が2桁前後高くなる。

【0006】コンタクト抵抗の上昇を抑える方法として、層間絶縁膜の上面に直接に接触するチタン膜、窒化チタン膜およびアルミ系金属膜からなる3層の積層膜を少なくとも含んだ構造で上層配線を構成する方法がとられている。この3層積層構造を含んだ上層配線では、層間絶縁膜に設けられた下層配線層に達するコンタクト孔の底部において、上層配線を構成するチタン膜もしくは（チタンと下層配線層を構成する導電体物質との）チタン合金膜が下層配線層と直接に接触する構造になっており、窒化チタン膜は下層配線層と直接に接触しない構造になっている。このため、コンタクト抵抗の上昇は抑制される。ところがこのような3層積層構造を含んだ上層配線では、先に述べた上層配線のボンディング・パッド部へボンディング線を結線する際に上層配線が層間絶縁膜から剥れるという問題が、極めて顕著になる。

【0007】本発明者は、上記3層積層構造を含んだ上層配線でのボンディング・パッド部へボンディング線を結線する際の上層配線の層間絶縁膜から剥れるやすすくなる原因の究明を行ない、1993年春季、第40回応用物理学関係連合講演会、講演予稿集、第671頁（講演番号29p-ZY-3）において報告した。

【0008】ここで、直接的な剥れの測定方法はMILスペック、方法2011、4ボンドの強さ（破壊的ボンド引張り試験）に依った。層間絶縁膜は、次の3種類である。A：TEOSを原料の1つとした減圧CVD法（LPCVD法）によるBPSG膜、B：TEOSを原料の1つとしたプラズマCVD法による酸化シリコン膜、およびC：シラン系ガスおよび1酸化2窒素ガスを原料にしたプラズマCVD法による酸化シリコン膜。また、ボンディング線としてアルミ線を用い、ボンディング方法としては超音波ボンディングを用いた。このようにして得られた試料に対して、上記方法による剥れ発生

率を比較すると、A : B : C = 7.1% : 0.7% : 0.0%という結果を得た。この剥れ発生率は、スクラッチテストにおける剥れ発生時加重との相関が強く、本発明者らは、スクラッチテストにおける剥れ発生時加重が53g以上の値であれば実用上問題無いという結果を得ている。

【0009】なお本発明者らの追試によると、上記公開公報の構造の上層配線がBPSG膜の上面に直接に設けられている（すなわち、層間絶縁膜がBPSG膜のみからなる）とき、スクラッチテストにおける剥れ発生時加重は90g以上あり、実用上問題がないという結果を得ている。

【0010】半導体装置の断面図である図10を参照すると、上記報告のスクラッチテスト等に用いた試料の構造は、以下のようになっている。P型シリコン基板501表面にはフィールド酸化膜502が設けられ、このフィールド酸化膜502は膜厚約600nmの層間絶縁膜531により覆われている。この層間絶縁膜は、上述の剥れ発生率に使用した試料と同様に、次の3種類である。A : TEOSを原料の1つとしたLPCVD法によるBPSG膜、B : TEOSを原料の1つとしたプラズマCVD法による酸化シリコン膜、およびC : シラン系ガスおよび1酸化2窒素ガスを原料にしたプラズマCVD法による酸化シリコン膜。上記構造の試料を形成した後、窒素雰囲気、650℃、30秒の急速熱処理（Rapid Thermal Annealing : RTA）を行ない、スクラッチテストを行なった。上記層間絶縁膜の相違による剥れ発生加重を比較すると、A : B : C = 40.0g : 50.2g : 63.8gという結果となった。

【0011】上記構造の試料のチタン膜542と層間絶縁膜531との界面をX線光電子分光法（X-ray Electron Spectroscopy ; XPS）により測定すると、酸化チタン（ TiO_x （ $x=2-\alpha$ ））が存在し、この TiO_x の1秒間当りのカウント数（CPS）が層間絶縁膜531の組成に依存するという結果が得られた。 TiO_x のXPS強度とスクラッチテストの剥れ発生加重との関係を示すグラフである図11を参照すると、チタン膜542と層間絶縁膜531との界面に形成された TiO_x の量が少ないほどスクラッチテストの剥れ発生加重が大きいのことが、明らかにになった。

【0012】本発明の目的は、ボンディング・パッド部が形成される上層配線とこの上層配線の下地となる層間絶縁膜との密着性が良く、かつこの上層配線と下層配線層とのコンタクト抵抗が低く抑えることが可能な構造の半導体装置（特に、上層配線の組成構造と層間絶縁膜の組成構造との組合せ）とその製造方法を提供することにある。

【0013】

【課題を解決するための手段】本発明の半導体装置は、表面に選択的に設けられたフィールド酸化膜を有するシリコン基板と、少なくとも上記シリコン基板表面に設けられた下層配線層と、上記シリコン基板およびこの下層配線層を覆い、所定の個所に上記下層配線層に達する接続孔を有する層間絶縁膜と、上記層間絶縁膜上面ではこの層間絶縁膜上面を直接に覆う第1の窒化チタン膜およびチタン膜および第2の窒化チタン膜およびアルミ系金属膜を少なくとも含んでなる積層構造を有し、さらに、上記接続孔ではこのチタン膜およびこの第2の窒化チタン膜およびこのアルミ系金属膜を少なくとも含んでなる積層構造、チタン合金膜およびこの第2の窒化チタン膜およびこのアルミ系金属膜を少なくとも含んでなる積層構造、もしくはチタン合金膜およびこのチタン膜およびこの第2の窒化チタン膜およびこのアルミ系金属膜を少なくとも含んでなる積層構造を有する上層配線と、上記層間絶縁膜および上記上層配線を覆う表面保護膜と、上記表面保護膜に設けられた上記上層配線に達する開口部、およびこの開口部により露出したこの上層配線部分からなるボンディング・パッド部とを有する。

【0014】好ましくは、上記層間絶縁膜の少なくとも上面が、シリコンと化学結合していない窒素を含有する酸化シリコン膜からなる。

【0015】本発明の半導体装置の製造方法の第1の態様は、シリコン基板の表面に選択的にフィールド酸化膜を形成する工程と、少なくとも上記シリコン基板表面に下層配線層を形成する工程と、上記シリコン基板および上記下層配線層を覆う層間絶縁膜を形成し、この層間絶縁膜を覆う第1の窒化チタン膜を形成する工程と、所定の個所の上記第1の窒化チタン膜および上記層間絶縁膜を順次エッチングして、上記下層配線層に達する接続孔を形成する工程と、全面にチタン膜と第2の窒化チタン膜とを順次形成し、さらに全面に少なくともアルミ系金属膜を形成する工程と、所定の個所の少なくとも上記アルミ系金属膜をエッチングし、さらにこの所定の個所の上記第2の窒化チタン膜、上記チタン膜および上記第1の窒化チタン膜を順次エッチングして上層配線を形成する工程と、全面に表面保護膜を形成し、所定の個所のこの表面保護膜をエッチングして上記上層配線に達する開口部を形成する工程とを有する。

【0016】本発明の半導体装置の製造方法の第2の態様は、シリコン基板の表面に選択的にフィールド酸化膜を形成する工程と、少なくとも上記シリコン基板表面に下層配線層を形成する工程と、少なくともその上面がシラン系ガスおよび1酸化2窒素ガスを原料にしたプラズマCVD法により形成される酸化シリコン膜からなる層間絶縁膜を全面に形成する工程と、上記層間絶縁膜の上面を窒素プラズマにより処理する工程と、所定の個所の上記層間絶縁膜のエッチングを行ない、上記下層配線層に達する接続孔を形成する工程と、全面にチタン膜と窒

化チタン膜とを順次形成し、さらに全面に少なくともアルミ系金属膜を形成する工程と、所定の個所の少なくとも上記アルミ系金属膜、上記窒化チタン膜および少なくとも上記チタン膜を順次エッチングして上層配線を形成する工程と、全面に表面保護膜を形成し、所定の個所のこの表面保護膜をエッチングして上記上層配線に達する開口部を形成する工程とを有する。

【0017】本発明の半導体装置の製造方法の第3の態様は、シリコン基板の表面に選択的にフィールド酸化膜を形成する工程と、少なくとも上記シリコン基板表面に下層配線層を形成する工程と、少なくともその上面がシラン系ガスおよび1酸化2窒素ガスを原料にしたプラズマCVD法により形成される酸化シリコン膜からなる層間絶縁膜を全面に形成する工程と、所定の個所の上記層間絶縁膜のエッチングを行ない、上記下層配線層に達する接続孔を形成する工程と、全面にチタン膜と窒化チタン膜とを順次形成し、熱処理を行なう工程と、全面に少なくともアルミ系金属膜を形成する工程と、所定の個所の少なくとも上記アルミ系金属膜、上記窒化チタン膜および少なくとも上記チタン膜を順次エッチングして上層配線を形成する工程と、全面に表面保護膜を形成し、所定の個所のこの表面保護膜をエッチングして上記上層配線に達する開口部を形成する工程とを有する。

【0018】

【実施例】次に、本発明について図面を参照して説明する。

【0019】半導体装置の製造工程の断面図である図1を参照すると、本発明の第1の実施例は、以下のように製造される。

【0020】まず、P型シリコン基板101表面には選択的に素子分離用のフィールド酸化膜102が形成され、N⁺型拡散層103等が形成される。本実施例における下層配線層は、N⁺型拡散層103等からなる。全面に所定膜厚のBPSG膜が堆積、リフローされ、このBPSG膜からなる層間絶縁膜131が形成される。この層間絶縁膜131の成膜法は、例えばTEOSを原料の1つとしたLPCVD法である。反応性スパッタリングにより、全面に第1の窒化チタン(TiN)膜である例えば膜厚50nm程度の窒化チタン膜141aが堆積される。次に、公知のフォトリソグラフィ技術、RIEを用いて、(下層配線層である)N⁺型拡散層103等に達する接続孔であるコンタクト孔136が形成される〔図1(a)〕。なお、層間絶縁膜としては、BPSG膜に限定されるものではなく、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜あるいはこれらの積層膜でもよい。

【0021】次に、スパッタリング、および反応性スパッタリングにより、全面に例えば膜厚30nm程度のチタン(Ti)膜142と、第2の窒化チタン膜である例えば膜厚100nm程度の窒化チタン膜141bとが連

続的に堆積される。続いて、所定温度での合金化処理が行なわれ、コンタクト孔136の底部において、例えばチタンシリサイド膜144等のチタン合金膜が形成される〔図1(b)〕。このとき、コンタクト孔136において、チタン膜142が残存するか否かは、成膜時のチタン膜142の膜厚とこの合金化処理の条件とに依存する。

【0022】なお、この合金化処理はコンタクト抵抗をより低減するためのものであり、例えばアルミ系金属膜からなる下層配線が在る場合、この合金化処理は行なえない。このときには、後に形成される上層配線の水素雰囲気でのアルミ・アロイ処理のみでコンタクト抵抗の低減を図るこのになる。この場合には、このアルミ・アロイ処理の段階でも、コンタクト孔136の底部にはチタンシリサイド膜は形成されない。

【0023】次に、全面に所定膜厚のアルミ合金膜143が堆積される。このアルミ合金膜143はアルミ系金属膜であり、例えばアルミ-シリコン-銅からなる合金膜である。さらに目的に応じて、(図示はしないが)このアルミ合金膜143を覆うタングステン膜、モリブデン膜、チタンタングステン膜、タングステンシリサイド膜等の高融点金属膜もしくは高融点金属合金膜を全面に堆積してもよい。次に、公知のフォトリソグラフィ技術、RIEを用いて、上記アルミ合金膜143、窒化チタン膜141b、チタン膜142、窒化チタン膜141aが順次エッチングされ、これらの積層膜からなる所望の形状を有する上層配線が形成される。次に、全面にプラズマCVD法による酸化シリコン系絶縁膜、酸化窒化シリコン膜、もしくは窒化シリコン膜、あるいはこれらの積層膜からなる表面保護膜151が堆積される。水素雰囲気でのアルミ・アロイ処理は、この表面保護膜151の成膜の前もしくは後に行なわれる。続いて、この表面保護膜151の所定の部分には上層配線に達する100μm□程度の大きさの開口部が形成され、この開口部とこれにより露出した上層配線とからなるボンディング・パッド部156が形成され、本実施例の半導体装置が得られる〔図1(c)〕。

【0024】上記第1の実施例では、上層配線の一部を構成する窒化シリコン膜141aが、層間絶縁膜131の上面に直接に接触している。このため、上層配線のボンディング・パッド部へ超音波振動等を用いてボンディング線を結線する際に、上層配線が層間絶縁膜131から剥れるという問題は解決される。すなわち、この窒化シリコン膜141aは、上層配線と層間絶縁膜との密着性を高めることに機能している。なお、層間絶縁膜131がBPSG膜からなる場合でも、(前述したように)スクラッチテストにおける剥れ発生時加重は90g以上ある。また、コンタクト孔136において、下層配線層であるN⁺型拡散層103と直接に接続する上層配線の部分は、チタンシリサイド膜144である。このため、

コンタクト抵抗の上昇は抑止される。すなわちチタン膜142の存在は、上層配線と下層配線層とのコンタクト抵抗を低減することに機能している。第2の窒化シリコン膜である窒化シリコン膜141bは、上層配線の主たる構成材料であるアルミと下層配線層との間のバリア膜として機能している。また上述したように、本実施例では高融点金属膜もしくは高融点金属合金膜をアルミ合金膜143表面上に形成するのになんら支障はないことから、ストレス・マイグレーション耐性の高い上層配線は容易に得られる。

【0025】上記第1の実施例は、多層配線を有する半導体装置に対しても適用が可能である。半導体装置の断面図である図2を参照すると、上記第1の実施例の多層配線への適用例は、以下のように構成されている。

【0026】フィールド酸化膜102、 N^+ 型拡散層103等が設けられたP型シリコン基板101は、酸化シリコン膜からなる第1の層間絶縁膜111により覆われている。この層間絶縁膜111には、 N^+ 型拡散層103等に達するコンタクト孔116が設けられている。このコンタクト孔116を介して、層間絶縁膜111上に設けられた下層配線121は、 N^+ 型拡散層103等に接続されている。この下層配線121は、例えば多結晶シリコン膜、高融点金属膜、高融点金属シリサイド膜あるいは高融点金属ポリサイド膜等からなる。この下層配線121を含めた層間絶縁膜111の上面は、BPSG膜からなる第2の層間絶縁膜131により覆われている。層間絶縁膜131には、下層配線121に達するコンタクト孔136aが設けられている。このコンタクト孔136aを介して、上層配線は下層配線121に接続されている。層間絶縁膜136a上面におけるこの上層配線の構造は、窒化チタン膜141a、チタン膜142、窒化チタン膜141bおよびアルミ合金膜143等が積層された構造である。コンタクト孔136aにおけるこの上層配線の構造は、チタン合金膜147、チタン膜142、窒化チタン膜141bおよびアルミ合金膜143等が積層された構造である。

【0027】本発明の別の実施例の説明に先だて、本発明者らによる前述の1993年春季、第40回応用物理学会関係連合講演会での報告を土台にしたその後の進展について簡潔に述べておく。

【0028】上記報告では、A；TEOSを原料の1つとしたLPCVD法によるBPSG膜、B；TEOSを原料の1つとしたプラズマCVD法による酸化シリコン膜、およびC；シラン系ガスおよび1酸化2窒素ガスを原料にしたプラズマCVD法による酸化シリコン膜の3種類の層間絶縁膜とチタン膜との界面の TiO_x に着目した。図11に示した結果は、全てRTA後のデータであるが、RTA前後でのスクランチテストにおける剥れ発生時加重の増減が一樣ではなかった。すなわち、層間絶縁膜がAおよびBの場合にはRTA後の剥れ発生時加

重は減少し、層間絶縁膜がCの場合のみRTA後の剥れ発生時加重が増加していた。剥れ発生時加重の値を左右する一因は TiO_x ではあるが、このことから他に原因が存在するはずであると考え、この界面近傍における窒素に着目してみた。

【0029】XPSによると、層間絶縁膜がAおよびBの場合には膜中に窒素は存在しないが、層間絶縁膜がCからなる場合には膜中に窒素が存在する。また、RTA前後でのXPSによる窒化シリコン(TiN)をなす窒素の検出を行なうと、層間絶縁膜がAおよびBの場合にはTiNをなす窒素の数量の変化はほとんどないが、層間絶縁膜がCの場合にはRTA後のTiNをなす窒素の数量が大幅に増加している。なお、層間絶縁膜がAおよびBの場合にも、層間絶縁膜とチタン膜との界面近傍において、このTiNをなす窒素が検出されるが、これはチタン膜上面に形成されたの窒化チタン膜に依るバックグラウンドと考えられる。

【0030】以下に説明する本発明の別の実施例は、これらXPS等による窒素の検出により得られた知見に基づくものである。

【0031】半導体装置の製造工程の断面図である図3を参照すると、本発明の第2の実施例は、以下のように製造される。

【0032】まず、P型シリコン基板201表面には選択的に素子分離用のフィールド酸化膜202が形成され、 N^+ 型拡散層203が形成される。全面に所定膜厚のBPSG膜が堆積、リフローされ、このBPSG膜からなる下層の層間絶縁膜211が形成される。さらにシラン系ガスと1酸化2窒素(N_2O)ガスを原料にした温度が350℃前後でのプラズマCVD法により、上層の層間絶縁膜である所定膜厚の窒素含有酸化シリコン膜232(窒素含有については、後述する)が堆積される。続いて、500W程度のパワー、窒素雰囲気でのプラズマ処理が施され、上記窒素含有酸化シリコン膜232表面に厚さ10~20nm程度の窒素プラズマ処理層233が形成される〔図3(a)〕。

【0033】次に、所定の部分の上記窒素プラズマ処理層233、窒素含有酸化シリコン膜232および層間絶縁膜211が順次エッチングされ、 N^+ 型拡散層203に達するコンタクト孔236が形成される。続いて、スパッタリング、および反応性スパッタリングにより、全面に所定膜厚のチタン膜242と、(結果として第2の窒化チタン膜となる)所定膜厚の窒化チタン膜241bとが連続的に堆積される。これら一連のスパッタリングを行なう間に、チタン膜242と上記窒素プラズマ処理層233との界面には膜厚が20nm前後の窒化チタン膜241cが形成される〔図3(b)〕。この窒化チタン膜241cの存在は、(ここでの説明は省略するが)XPSにより検証されている。なお、構造という観点に立つならば、この窒化チタン膜241cが第1の窒化チ

タン膜となる。

【0034】続いて、上記第1の実施例と同様に、全面に所定膜厚のアルミ合金膜243が堆積される。さらに目的に応じて、このアルミ合金膜243を覆う高融点金属膜もしくは高融点金属合金膜を全面に堆積してもよい。次に、上記アルミ合金膜243、窒化チタン膜241b、チタン膜242、窒化チタン膜241cが順次エッチングされ、これらの積層膜からなる所望の形状を有する上層配線が形成される。次に、全面に表面保護膜251が堆積される。水素雰囲気でのアルミ・アロイ処理は、この表面保護膜251の成膜の前もしくは後に行なわれる。続いて、この表面保護膜251の所定の部分には上層配線に連する100 μ m程度の大きさの開口部が形成され、この開口部とこれにより露出した上層配線とからなるボンディング・パッド部256が形成され、本実施例の半導体装置が得られる【図3(c)】。

【0035】上記第2の実施例の図3(b)の段階でのスクラッチテストにおける剥れ発生時加重は63.8gであり、上記第1の実施例の値より小さいが、実用化に耐える値を有している。また、コンタクト抵抗も低くで

きる。

【0036】上記第2の実施例における窒素含有酸化シリコン膜232の深さ方向のオージェ電子分光法(Auger Electron Spectroscopy; AES)による原子分布を示すグラフである図4を参照すると、以下のことが明らかになる。

【0037】まず、成膜段階でのこの窒素含有酸化シリコン膜232は、数%の窒素を含んでいる【図4(a)】。次に、窒素雰囲気でのプラズマ処理が施され窒素含有酸化シリコン膜232では、表面に10~20nm程度のさらに窒素の濃度の高い層(すなわち窒素プラズマ処理層233)が形成されている【図4(b)】。ここでは図示しないが、XPS測定によると、酸化シリコン膜232中に存在するこの窒素の結合エネルギーは、(シリコンと結合した)窒化シリコン(Si₃N₄)の窒素の結合エネルギーと異なる値を有している。本実施例では、このようにシリコンと結合していない窒素を多量に含んだ窒素プラズマ処理層233上に、化学的に活性なチタン膜242を成膜するため、窒化チタン膜241cが形成されるものと推測される。なお本発明者らの実験によると、窒化シリコン膜もしくは酸化窒化シリコン膜等の窒化物を含んだ絶縁膜上にチタン膜を堆積しても、さらにRTAを施しても、これらの場合の界面には窒化チタン膜は形成されない。すなわち、シリコンと化学的に結合した窒素に対しては、化学的に活性なチタンといえども、化学結合することが困難であることを示唆している。

【0038】上記第2の実施例も、多層配線を有する半導体装置に適用が可能である。半導体装置の断面図である図5を参照すると、上記第2の実施例の多層配線への

適用例は、以下のように構成されている。

【0039】フィールド酸化膜202、N⁺型拡散層203等が設けられたP型シリコン基板201は、BPSG膜からなる第1の層間絶縁膜211により覆われている。この層間絶縁膜211上には下層配線222が設けられている。この下層配線222は、アルミ系金属膜、高融点金属膜、高融点金属シリサイド膜あるいは高融点金属ポリサイド膜等からなる。この下層配線222を含めた層間絶縁膜211の上面は、窒素含有酸化シリコン膜232により覆われている。この窒素含有酸化シリコン膜232表面には、窒素プラズマ処理層233が形成されている。

【0040】この第2の実施例の適用例では、上層配線と下層配線層との接続孔が2種類ある。その1つはコンタクト孔236aであり、これは窒素プラズマ処理層233、窒素含有酸化シリコン膜232および層間絶縁膜211を貫通してN⁺型拡散層203に達している。別の1つはコンタクト孔237であり、これは窒素プラズマ処理層233および窒素含有酸化シリコン膜232を貫通して下層配線222に達している。これらコンタクト孔236a、237には、所定の高さの選択成長導電体膜246が設けられている。この選択成長導電体膜246は、例えばアルミ、タングステン等からなる。この選択成長導電体膜246の代りに、ブランケット法等による導電体膜をこれらコンタクト孔236a、237内に形成してもよい。窒素プラズマ処理層233上面におけるこの上層配線の構造は、上記第2の実施例と同様に、窒化チタン膜241c、チタン膜242、窒化チタン膜241bおよびアルミ合金膜243等が積層された構造である。選択成長導電体膜246上面におけるこの上層配線の構造も同様に、チタン膜242、窒化チタン膜241bおよびアルミ合金膜243等が積層された構造である。

【0041】上記第1の実施例の適用例では、多層配線を採用しても窒化チタン膜141aが存在するため、コンタクト孔を形成した後これに選択成長法もしくはブランケット法で導電体膜を埋設することが困難であった。そのため、上層配線と最下層の下層配線(N⁺拡散層103)とを直接に接続する接続孔の設置は避けられていた。このため、このような接続のための占有面積は大きなものとなっていた。これに比べて、上記第2の実施例の適用例では、コンタクト孔236a、237内に選択成長導電体膜246等を形成することが容易であることから、上層配線と最下層の下層配線層(N⁺拡散層203)とを直接に接続することが可能になる。それ故、この適用例は、多層配線の採用に際しての接続孔の占有面積の増大は回避され、半導体装置の微細化、高集積化に対して極めて有効となる。

【0042】半導体装置の製造工程の断面図である図6を参照すると、本発明の第3の実施例は、以下のように

製造される。

【0043】まず、P型シリコン基板301表面には選択的に素子分離用のフィールド酸化膜302が形成され、N⁺型拡散層303が形成される。シラン系ガスと1酸化2窒素ガスを原料にしたプラズマCVD法により、全面に所定膜厚の窒素含有酸化シリコン膜332が堆積される。次に、所定の個所の窒素含有酸化シリコン膜332がエッチングされ、N⁺型拡散層303に達するコンタクト孔336が形成される。次に、スパッタリング、および反応性スパッタリングにより、全面に所定膜厚のチタン膜342と、(結果として第2の窒化チタン膜となる)所定膜厚の窒化チタン膜341bとが連続的に堆積される〔図6(a)〕。なお本実施例では、上記第2の実施例と異り、この段階での窒素含有酸化シリコン膜332とチタン膜342との界面において、窒化チタン膜は明確には検出されない。これは、窒素含有酸化シリコン膜332の窒素の含有率に依存するものと思われる。また、この段階でのスクラッチテストにおける剥れ発生時加重は50.6g程度である。

【0044】次に、窒素雰囲気、650℃、30秒のRTAが行なれる。これにより、(コンタクト孔336の側壁を含めて)窒素含有酸化シリコン膜332とチタン膜342との界面には、膜厚が30nm前後の窒化チタン膜341c(詳細は、後述する)が形成される。(構造という観点に立つならば)この窒化チタン膜341cが第1の窒化チタン膜となる。また、コンタクト孔336底部におけるN⁺型拡散層303とチタン膜342との界面には、チタンシリサイド膜344が形成される〔図6(b)〕。

【0045】続いて、上記第1、第2の実施例と同様に、全面に所定膜厚のアルミ合金膜343が堆積される。さらに目的に応じて、このアルミ合金膜343を覆う高融点金属膜もしくは高融点金属合金膜を全面に堆積してもよい。次に、上記アルミ合金膜343、窒化チタン膜341b、チタン膜342、窒化チタン膜341cが順次エッチングされ、これらの積層膜からなる所望の形状を有する上層配線が形成される。次に、全面に表面保護膜351が堆積される。水素雰囲気でのアルミ・アロイ処理は、この表面保護膜351の成膜の前もしくは後に行なわれる。続いて、この表面保護膜351の所定の部分には上層配線に達する100μm程度の大きさの開口部が形成され、この開口部とこれにより露出した上層配線とからなるボンディング・パッド部356が形成され、本実施例の半導体装置が得られる〔図6(c)〕。

【0046】上記第3の実施例の図6(b)の段階でのスクラッチテストにおける剥れ発生時加重の値は、本実施例の製造方法が上記第2の実施例の製造方法より簡単であるにもかかわらず、上記第2の実施例の値より大きく、63.8gである。この値も上記第1の実施例の値

より小さいが、実用化に耐える値を有している。また、コンタクト抵抗も低くできる。なお、本実施例において、窒素含有酸化シリコン膜332を堆積した後、上記第2の実施例と同様に、窒素雰囲気でのプラズマ処理を施すことも可能である。

【0047】XPSによる窒素のエネルギー・スペクトル分布のグラフである図7を参照すると、上記第3の実施例における図6(b)での段階での窒化チタン膜341cの形成が明らかになる。約367eVの結合エネルギーを有する窒素の存在は、窒化チタンの存在を示す。この値のピークは2つに分離されている。1つのピークは、もともと存在する窒化チタン膜341bのピークである。他の1つのピークの存在は、チタン膜242と窒素含有酸化シリコン膜332に新たに窒化チタン膜341cが形成されたことを実証している。なお、窒素含有酸化シリコン膜332中の約399eVの結合エネルギーを有する窒素は、前述したように、シリコンと結合した窒素ではない。

【0048】上記第3の実施例も、多層配線を有する半導体装置に適用することが可能である。半導体装置の断面図である図8を参照すると、上記第3の実施例の多層配線への適用例は、以下のように構成されている。

【0049】フィールド酸化膜302、N⁺型拡散層303等が設けられてP型シリコン基板301は、BPSG膜からなる第1の層間絶縁膜311により覆われている。この層間絶縁膜311上には、下層配線321が形成されている。この下層配線321は、多結晶シリコン膜、高融点金属膜、高融点金属シリサイド膜あるいは高融点金属ポリサイド膜等からなる。この下層配線321を含めた層間絶縁膜311の上面は、窒素含有酸化シリコン膜332により覆われている。

【0050】この第3の実施例の適用例にも、上層配線と下層配線層との接続孔が2種類ある。その1つはコンタクト孔336aであり、これは窒素含有酸化シリコン膜332および層間絶縁膜311を貫通してN⁺型拡散層303に達している。別の1つはコンタクト孔337であり、これは窒素含有酸化シリコン膜332を貫通して下層配線321に達している。これらコンタクト孔336a、337には、所定の高さの選択成長導電体膜346が設けられている。この選択成長導電体膜246は、例えばタングステン、多結晶シリコン等からなる。この選択成長導電体膜346の代りに、ブランケット法等による導電体膜をこれらコンタクト孔336a、337内に形成してもよい。窒素含有酸化シリコン膜332上面におけるこの上層配線の構造は、上記第3の実施例と同様に、窒化チタン膜341c、チタン膜342、窒化チタン膜341bおよびアルミ合金膜343等が積層された構造である。選択成長導電体膜346上面におけるこの上層配線の構造は、チタン合金膜347、チタン膜342、窒化チタン膜341bおよびアルミ合金膜3

43等が積層された構造である。

【0051】上記第3の実施例の適用例も上記第2の実施例の適用例と同様に、多層配線の採用に際しての接続孔の占有面積の増大は回避され、半導体装置の微細化、高集積化に対して極めて有効である。

【0052】

【発明の効果】以上説明したように本発明の採用により、ボンディング・パッド部が形成される上層配線とこの上層配線の下地となる層間絶縁膜との密着性が強くなり、かつ、この上層配線と下層配線層とのコンタクト抵抗を低く抑えることが可能になる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の製造工程の断面図である。

【図2】上記第1の実施例の適用例の断面図である。

【図3】本発明の第2の実施例の製造工程の断面図である。

【図4】上記第2の実施例を説明するための図であり、オージェ電子分光法による層間絶縁膜の深さ方向の原子分布を示すグラフである。

【図5】上記第2の実施例の適用例の断面図である。

【図6】本発明の第3の実施例の製造工程の断面図である。

【図7】上記第3の実施例を説明するための図であり、XPSによる窒素のエネルギー・スペクトル分布のグラフである。

【図8】上記第3の実施例の適用例の断面図である。

【図9】従来の半導体装置の断面図である。

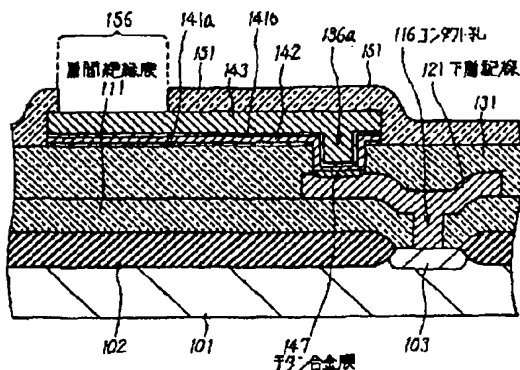
【図10】従来の別の半導体装置の断面図である。

【図11】従来の半導体装置の問題点を説明するための図である。

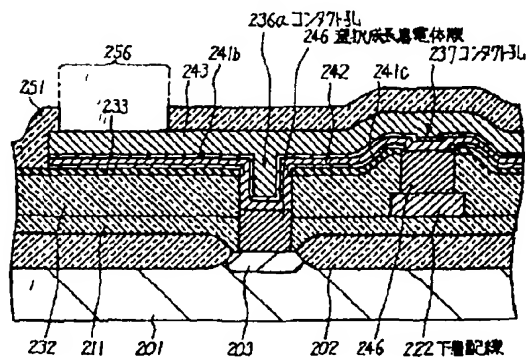
【符号の説明】

101, 201, 301, 501 P型シリコン基板
102, 202, 302, 402, 502 フィールド酸化膜
103, 203, 303 N⁺型拡散層
111, 131, 211, 311, 531 層間絶縁膜
116, 136, 136a, 236, 236a, 237, 336, 336a, 337 コンタクト孔
121, 222, 321 下層配線
141a, 141b, 241b, 241c, 341b, 341c, 441, 541b 窒化チタン膜
142, 242, 342, 542 チタン膜
143, 243, 343 アルミ合金膜
144, 344 チタンシリサイド膜
147, 347 チタン合金膜
151, 251, 351, 451 表面保護膜
156, 256, 356, 456 ボンディング・パッド部
232, 332 窒素含有酸化シリコン膜
233 窒素プラズマ処理層
246, 346 選択成長導電体膜
401 半導体基板
431 BPSG膜
433 TEOS酸化膜
443 アルミ膜

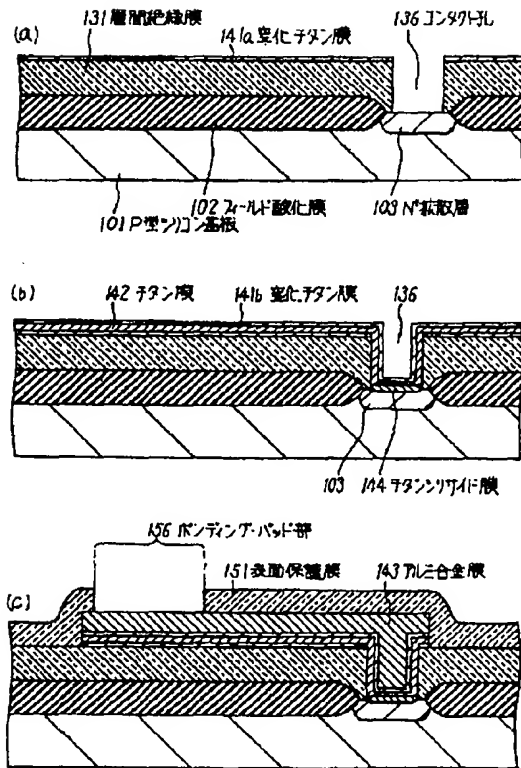
【図2】



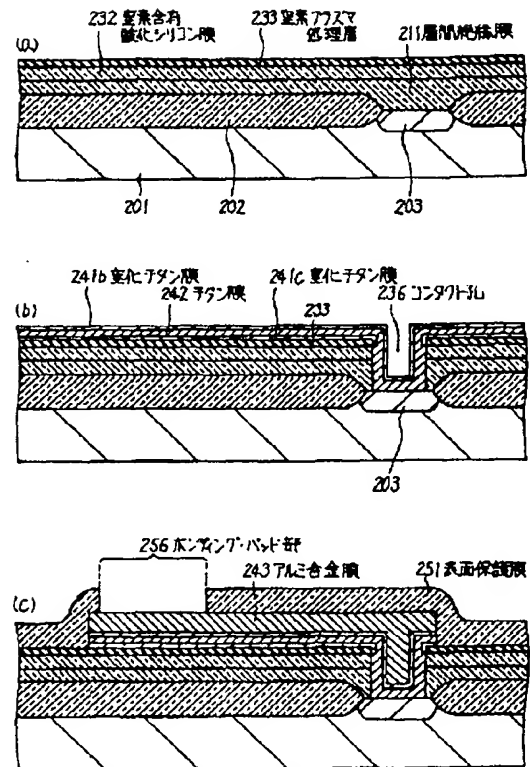
【図5】



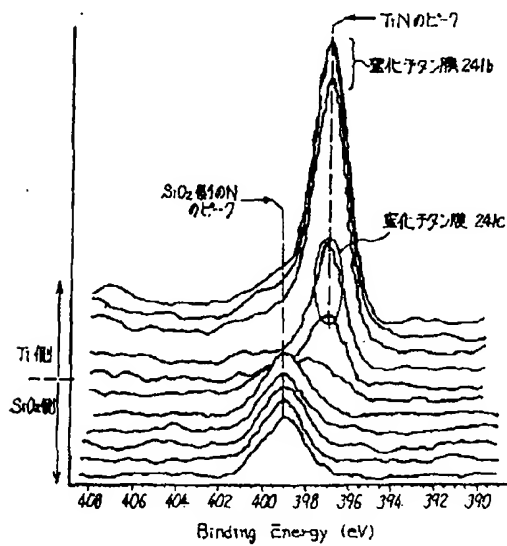
【図1】



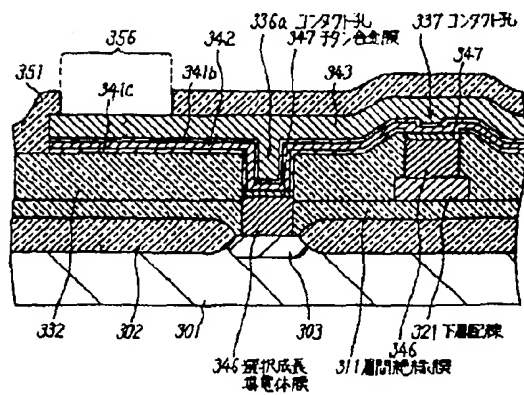
【図3】



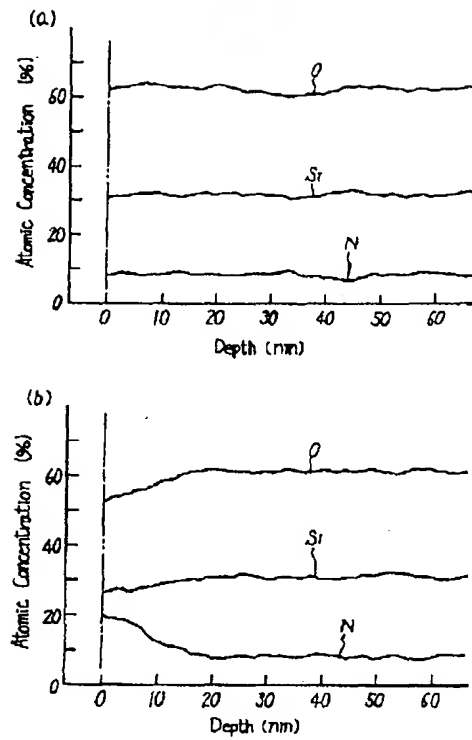
【図7】



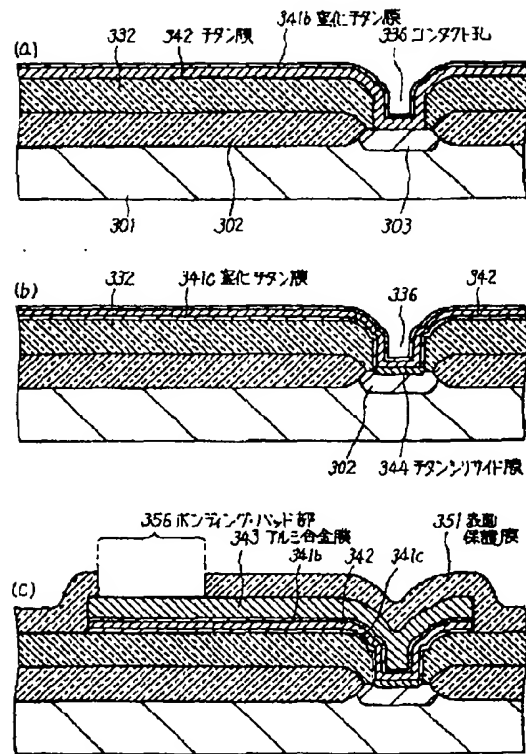
【図8】



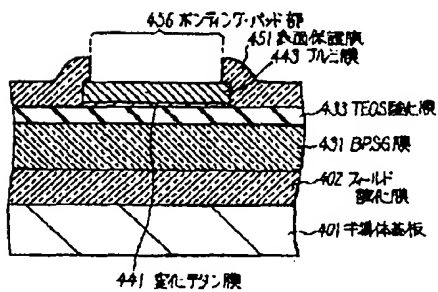
【图 4】



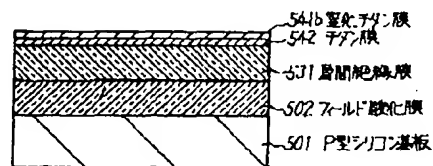
【図6】



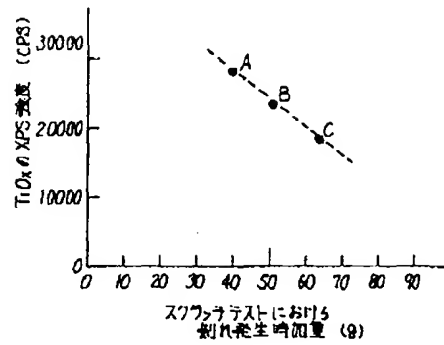
【图9】



【圖 10】



【図11】



フロントページの続き

(51)Int. Cl.⁶

H 0 1 L 21/28

識別記号

庁内整理番号

F I

技術表示箇所

L 7376-4M